

HORIZONTAL SYNCHRONIZATION DETECTING CIRCUIT

Patent Number: JP61070861

Publication date: 1986-04-11

Inventor(s): KUDO YUKINORI

Applicant(s): TOSHIBA CORP

Requested Patent: JP61070861

Application Number: JP19840191805 19840914

Priority Number(s):

IPC Classification: H04N5/08

EC Classification:

Equivalents: JP1891763C, JP6020249B

Abstract

PURPOSE: To detect a horizontal synchronizing signal with high accuracy by detecting the pulse width of a horizontal synchronizing signal separated from a digital video signal to obtain a width detection pulse and using the width detection pulse train so as to extract a horizontal synchronization detection pulse.

CONSTITUTION: A synchronizing separation signal 100 is changed into a width detection pulse 300 when the signal is consecutive for 3μ sec for the period of level 1 at a pulse width detection circuit 1, inputted to a period measuring circuit 2 continuously in a prescribed period, then a detected pulse 400 is inputted to a timing generating circuit 3 and a signal 500 representing the count of the 11-stage counter built in a period measuring circuit 2 at that point of time is outputted. The mean value of the periods is obtained by a period integration circuit 4, the mean value and the measured value are subject to different operation by a difference operation circuit 5, whether the value is smaller than a prescribed value or not is discriminated by a discrimination circuit 6 and only when the value is smaller, a horizontal synchronizing detection pulse 1000 is outputted.

Data supplied from the esp@cenet database - I2

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭61-70861

⑫Int.Cl.

H 04 N 5/08

識別記号

厅内整理番号

8523-5C

⑬公開 昭和61年(1986)4月11日

審査請求 未請求 発明の数 1 (全5頁)

⑭発明の名称 水平同期検出回路

⑮特 願 昭59-191805

⑯出 願 昭59(1984)9月14日

⑰発明者 工藤 幸則 横浜市磯子区新杉田町8番地 株式会社東芝横浜金属工場
内

⑱出願人 株式会社東芝 川崎市幸区堀川町72番地

⑲代理人 弁理士 則近 憲佑

明細書

1. 発明の名称

水平同期検出回路

2. 特許請求の範囲

デジタルビデオ信号から分離された水平同期信号のパルス幅を検出して得られる幅検出パルスを出力するパルス幅検出手段と、前記幅検出パルスが所定の周期で連続的に発生する状態を検出して得られる検出パルスを出力すると共に、前記幅検出パルスの前記周期性を所定のクロックにて計数して得られる周期測定データを出力する周期測定手段と、この周期測定データを積分して周期の平均値を出力する周期積分手段と、この周期の平均値と前記周期測定データの差分を得る差分演算手段と、この演算手段が出力する前記差分が所定の値より小さい場合に水平同期検出パルスを出力する判定手段とを具備して成ることを特徴とする水平同期検出回路。

3. 発明の詳細な説明

[発明の技術分野]

本発明は、デジタル的に信号処理を行なうデジタルテレビジョンの水平同期検出回路に関する。

[発明の技術的背景]

従来テレビジョン（以下TVと略称する）の信号処理はアナログ的に行なわれていた。しかし、最近のニューメディアの波によってTVのデジタル化、外部機器とのインターフェース、Y-Cくし形フィルタに代表される高性能化及び2画面TV、ノンインターレースに代表される多機能化の要求が生じていると共に、A/Dコンバータ、D/Aコンバータ、ロジックVLSI等の発達によってビデオ信号をデジタル処理するデジタルTVが出現している。

[背景技術の問題点]

このデジタルTVでは水平同期検出回路の性能によって、システム全体の弱電界、ノイズ等に対する性能及びシステムクロックを作るPLL（フェイズロックループ）の安定度及び性能が決定されるため、前記水平同期検出回路の高性能化が要請されている。

[発明の目的]

本発明の目的は、上記の要請に鑑み、水平同期信号を高精度に検出することができる水平同期検出回路を提供することにある。

[発明の概要]

本発明は、デジタルビデオ信号から分離された水平同期信号のパルス幅を検出して幅検出パルスを得、この幅検出パルス列の中から所定の周期で連続して得られる信号を検出パルスとし、又前記幅検出パルスをクロックで測定して周期測定データとし、この周期測定データを積分して周期の平均値を得、更に、この周期の平均値と前記周期の測定データとの差分を求め、この差分が所定の値より小さい場合のみ水平同期検出パルスを出力する構成とすることにより、上記目的を達成するものである。

[発明の実施例]

以下本発明の一実施例を図面を参照しつつ説明する。第1図は本発明の水平同期検出回路の一実施例を示したブロック図である。パルス幅検出回

路が所定の値より小さい場合にのみ水平同期検出パルス1000を出力する。

次に本実施例の動作について第2図乃至第4図に示したタイミングチャートを参照しつつ説明する。パルス幅検出回路1は第2図で示すCS(同期分離)信号100の“1”の期間のパルス幅をクロック200で計数し約3ms間前記“1”的パルスが連続すると、第2図で示したタイミングで幅検出パルス300を出力する。周期測定回路2は幅検出パルス300が第3図に示すように連続且つ所定の周期で入力された時、第3図で示すタイミングにて検出パルス400を出力する。周期測定回路2の上記動作において、周期の測定はクロック200を内蔵11段カウンタで計数することにより実行され、周期対応範囲は $f_H = 910 \times 4 f_{SC} \pm 500\text{Hz}$ に設定されている。このため、検出パルス400は、幅パルス300が連続に発生され、しかも上記周期対応範囲内のもののみについて得られることになる。但し、第3図中2は欠落をbはノイズを示している。また、周期測定回

路1はデジタルビデオ信号から分離された同期分離信号(CS)100から幅検出パルス300をクロック200を用いて検出し、これを周同期測定回路2に出力する。周同期測定回路2は検出パルス400をタイミング発生回路3に出力すると共に、この検出パルス400を得た時点の内蔵のカウンタによる計数値500を周同期積分回路4に出力する。タイミング発生回路3は検出パルス400に基づいて周同期積分に必要なタイミング信号600及び判定回路に必要なタイミング信号700を出力する。周同期積分回路4はタイミング信号600に基づいて入力された計数値500を積分し、入力測定データの平均値を示す信号800を差分演算回路5に出力する。差分演算回路5には計数値500が入力されているため、ここで信号800と計数値500の差分演算が行なわれ、その差分結果を示す信号900が判定回路6に出力される。判定回路6は差分信号900の絶対値をとり、その値を検出パルス400と所定の位相関係にあるタイミングパルス700で検出し、絶対

路2は検出パルス400が得られた時点の内蔵11段カウンタの計数値を示す信号500を出力し、この信号500は11ビットのデジタル信号で、クロック200を単位にして測定した幅検出パルス300の周期測定データである。なお、上記クロック200、検出パルス400及び周同期測定データ500は第4図に示したようなタイミング関係を有している。

周同期積分回路4はLPF(ローパスフィルタ)特性を有し、入力した周同期測定データ500を積分して測定データの平均値を示す入力測定データ平均値信号800を出力する。この平均値信号800と上記測定データ500は差分演算回路5に入力されここで両者の差分演算が行なわれる。判定回路6は差分信号900の絶対値をとり、その値を検出パルス400と所定の位相関係にある第4図に示したタイミングパルス700で検出し、その絶対値が所定の値より小さい場合にのみ、第4図に示したタイミングにて水平同期検出パルス1000を出力する。なお、第4図より水平同期検出

パルス1000は所定の条件が満たされると、検出パルス400よりクロック200単位で2クロック毎に得られることになる。

本実施例によれば、同期分離信号100から幅検出パルス300を得、この幅検出パルス300の連続性及び周期性を測定して検出パルス400及び周期測定データ500を得、この周期測定データ500を積分して得られる水平同期信号の周期の平均値800と前記周期測定データ500の差分900を取り、この差分が小さい時のみ水平同期検出パルス1000を出力する構成とすることにより、水平同期信号を高精度に検出することができる。しかも、前記水平同期検出パルス1000は前述した同期対応範囲においてその精度が均等になることが保証されている。

第5図は第1図に示した水平同期検出回路を用いたデジタルテレビジョンの一例を示したブロック図である。ビデオ信号1100は直流再生クランプ回路7に導かれ。このクランプ回路7はベテスタルレベルを一定値にクランプする周知の回路で

ある。クランプされたビデオ信号1200はADコンバータ8に導かれ、ここで8ビットに量子化されたデジタル信号となる。A/Dコンバータ8のサンプリングクロック200はその周波数を中とする中=4fSCの関係がある。但し、fSCはサブキャリアの周波数を示している。8ビットに量子化されたデジタルビデオ信号1300はPLL(フェイズロックループ)ロジック回路9に導びかれ、後述するタイミング信号1400に従って、到来するビデオ信号の中のバースト信号の位相を測定演算し、サンプリング位相がI, Q軸に一致するような制御信号1500をD/Aコンバータ10に出力する。このPLL制御信号1500は10ビット構成であり、D/Aコンバータ10にてアナログ制御信号1600に変換され、このアナログ制御信号1600はVCXO(電圧制御水晶発振器)11に出力される。結局、A/Dコンバータ8, PLLロジック回路9, D/Aコンバータ10, VCXO11はPLLを構成し、これによりクロック200が中=4fSCで、且つ、クロック200の位相がI, Q軸等に一致するようにコントロー

ルされる。デジタルビデオ信号1300は輝度色度分離回路(Y-C分離回路)12に入力され、Y(輝度)信号1600とC(色信号)1700に分離される。Y信号1600はライト、コントラスト等の信号処理を含むY信号処理回路13に入力され、ここで各種の信号処理を施された後、RGBマトリックス回路14に入力される。一方、C信号1700はACC、キー、I、Q復調等の色関連の処理を行なうC信号処理回路15に入力され、このC信号処理回路15は、I, Q復調信号1800をRGBマトリックス回路14に出力する。RGBマトリックス回路14は信号を処理されたY信号1900とI, Q信号1800とを入力し、これらを用いて所定のマトリックス演算を行なってR, G, B信号2000を作出しこれら信号をD/A変換器16に出力する。R, G, B信号2000は、3個のD/A変換器から構成されるD/A変換器16でアナログRGB信号2100に変換されこれが図示されない信号出力回路に送出される。

デジタルビデオ信号1300は同期分離回路17に入力されここで同期信号(CSと以下称する)100

が分離される。このCS信号100は第1図で示した水平同期検出回路18に入力され、この水平同期検出回路18は前述した動作によって水平同期検出パルス1000をバーストタイミング発生回路19及び水平同期再生回路20に出力する。この水平同期再生回路20は、水平同期検出パルス1000に水平フライバックパルス2200が所定の位相で一致するようにAFC回路を構成しており、水平ドライブ信号2300を出力するものである。バーストタイミング発生回路19は入力される水平同期検出パルス1000に従って、所定のバーストに関連するタイミング信号を発生しており、ACCに関するタイミング信号2400をC信号処理回路15に出力すると共に、PLLロジック回路9にタイミング信号1400を出力する。また、上記CS信号100は垂直同期再生回路26に入力される。この垂直同期再生回路26は、垂直同期信号を再生するカウントダウン回路から構成されており、これにより、垂直ドライブ信号2500を出力する。

この例では、水平同期検出回路18から得られる

水平同期検出パルス1000が非常に高精度であるため、バーストタイミング発生回路19が出力するタイミング信号1400, 2400を高精度とすることができます。従ってこれらを使用するPLLロジック回路9, C信号処理回路15の動作性能を向上させ、TVシステムの弱電界、ノイズ等に対する性能を向上させることができます。また、前記高精度の水平同期検出パルス1000を水平同期再生回路20が利用するため、高安定な水平同期ドライブ信号2300を得ることができます。また、上記の如く高性能な水平同期検出回路18を用いて第5図に示した回路を全デジタル化した回路で構成することができるため、この回路を容易にVLSI化することができる。

【発明の効果】

以上記述した如く本発明の水平同期検出回路によれば、デジタルビデオ信号から分離された水平同期信号のパルス幅を検出して幅検出パルスを得、この幅検出パルス列の中から所定の周期で連続して得られる信号を検出パルスとし、この検出パル

スをクロックで測定して周期測定データとし、この周期測定データを積分して周期の平均値を得、更に、この周期の平均値と前記周期の測定データとの差分を求め、この差分が所定の値より小さい場合にのみ水平同期検出パルスを出力する構成を採用することにより、水平同期信号を高精度に検出することができる。

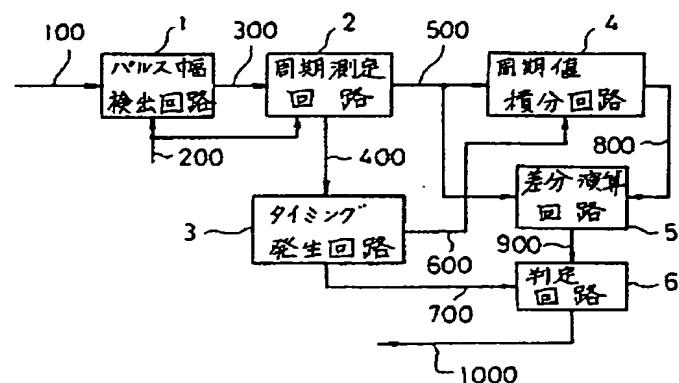
4・図面の簡単な説明

第1図は本発明の水平同期検出回路の一実施例を示したブロック図、第2図は第1図に示した同期信号と幅検出パルスとのタイミング関係を示した図、第3図は第1図に示した幅検出パルスと検出パルスとのタイミング関係を示した図、第4図は第1図に示した回路の動作波形タイミング図、第5図は第1図に示した水平同期検出回路を用いたデジタルテレビジョンの一例を示したブロック図である。

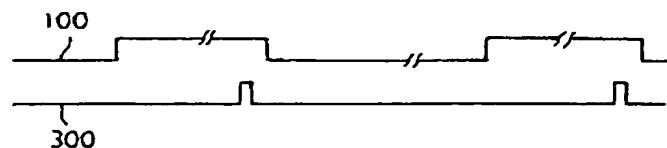
1…パルス幅検出回路 2…同期測定回路
3…タイミング発生回路 4…周期値積分回路
5…差分演算回路 6…判定回路

18…水平同期検出回路

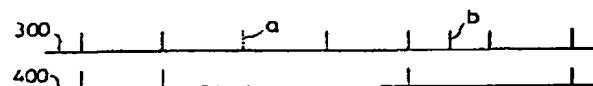
代理人 弁理士 周 近 幸 佑



第2図



第3図



第4図

